

晶界势垒对晶界层电容器电性能的影响*

钟吉品 王 鸿 殷之文

(中国科学院上海硅酸盐研究所)

摘 要

本文从晶界势垒的角度研究了中间夹层的 Schottky 晶界势垒对晶界层电容器的介电常数、工作电压等电性能的影响。对在空气中烧成和在还原气氛中烧成的 SrTiO_3 晶界层电容器电性能的较大差别给予了一些解释。

关键词: 晶界势垒; 晶界层电容器; 半导体陶瓷; 陶瓷电容器

一、引 言

半导体陶瓷晶界层电容器由于晶界中势垒的存在而成为绝缘电介质。很明显, 晶界势垒对晶界层电容器的介电常数、工作电压等电性能的影响起着决定性的作用。用晶界势垒研究半导体 BaTiO_3 瓷的 PTC 特性^[1]和 ZnO 压敏电阻的压敏特性^[2,3]已有不少报道。迄今为止, 除 Park 和 Payne 曾用晶界势垒研究了晶界层电容器的一些电性能外^[4], 关于晶界势垒对晶界层电容器电性能影响的研究文章还未见报道。本工作试图从晶界势垒的角度来研究晶界层电容器的电性能。

在以前的文章中^[5], 我们曾研究过晶界层电容器的晶界势垒, 提出了中间夹层的 Schottky 势垒模型, 如图 1, 并给予了一些实验验证。图 1 的晶界势垒模型将是下面讨论的基本出发点。

二、实 验

实验所用样品是以 SrTiO_3 为基的晶界层电容器, 其配方组成为: $\text{SrTiO}_3 + 0.5 \text{ mol}\% \text{Nb}_2\text{O}_5 + 0.1 \text{ wt}\% \text{SiO}_2$ 。

按一般的陶瓷工艺制备样品, 轧膜成片, 样品分别在还原气氛中烧成(2*样品)和在空气中烧成后急冷至室温成半导体^[6](1*样品)。用 $\text{PbO}-\text{Bi}_2\text{O}_3-\text{B}_2\text{O}_3-\text{CuO}$ 四元化合物涂复在半导化的瓷片上, 在不同条件下进行扩散, 实现边界绝缘化, 形成晶界势垒, 然后涂 $\text{In}-\text{Ga}$ 电极测试。

实验选用了四种样品, 如表 1。

* 1988年5月21日收到初稿, 7月13日收到修改稿。

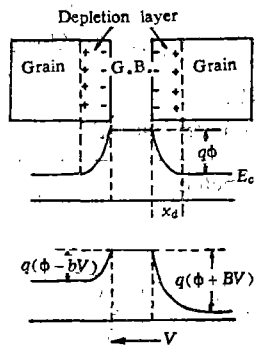


图 1 晶界层电容器的晶界势垒模型

Fig. 1. Grain boundary barrier of grain boundary layer capacitor.

表 1 实验样品制备条件

Table 1. Experiment samples and processing

Sample	Sintering condition	Diffusion condition*
1*-1	Quenching after sintered in air (1420°C for 4 h)	1050°C for 1 h
2*-1	Sintered in H ₂ /N ₂ (1420°C for 4 h)	1050°C for 1 h
2*-2	the same	1100°C for 1 h
2*-3	the same	1150°C for 1 h

* Before diffusion, the samples were coated with PbO-Bi₂O₃-B₂O₃-CuO compound

三、结 果

对选取的四个样品的电性能进行测试, 其结果概括起来列于表 2。表明 1* 样品介电常数较 2* 样品要低, 但前者工作电压要远大于后者。

表 2 空气中烧成和 H₂/N₂ 气中烧成的样品的电性能Table 2. Properties of two samples (sintered in air and in H₂/N₂)

Sample	Properties			
	ϵ	$\tan \delta (\%)$	$\rho (\Omega \cdot \text{cm})$	Working voltage (V)
Sintered in air	30000	1	10^{11}	300~500
Sintered in H ₂ /N ₂	70000	1	10^9	25

图 2、图 3 是四个样品的电容电压测试曲线, 下式^[3]:

$$1/C = (A - bV)^{1/2} + (A + BV)^{1/2} + 1/C_{11} \quad (1)$$

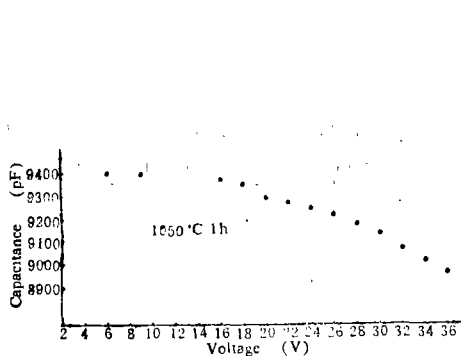


图 2 1*-1 样品的电容电压曲线

Fig. 2. Capacitance-voltage curve of 1*-1 sample.

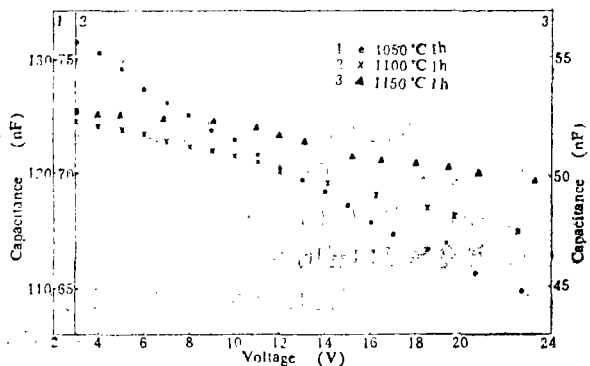


图 3 2* 样品的电容电压曲线

Fig. 3. Capacitance-voltage curves of 2* samples.

是晶界层电容器电容量与外加偏压的关系,利用式(1)对图2、图3曲线进行计算机拟合,表3~5是拟合出的参数值 C_I 、 C_{II} 、 C_{III} 分别是I区、II区、III区的电容量。

表3 计算机拟合的参数值

Table 3. Values of parameters from computer imitation

Samples	Parameters			
	A	b	B	C_{II}
2*—1	9.735×10^{-12}	~ 0	6.675×10^{-13}	1000000
2*—2	2.394×10^{-11}	~ 0	5.972×10^{-13}	261000
2*—3	5.068×10^{-11}	4.017×10^{-15}	9.530×10^{-13}	222000
1*—1	6.153×10^{-10}	1.496×10^{-14}	1.239×10^{-11}	18600

表4 2*样品晶界区域I、II、III的电容量

Table 4. Capacitance of region I, II, III of a grain boundary of 2* samples

Samples	C_0 (pF)	C_{II} (pF)	C_I (pF) ($C_I = C_{III}$)	$\frac{C_I C_{III}}{C_I + C_{III}}$ (pF)
2*—1	134000	1000000	309460	154734
2*—2	72160	261000	99734	49870
2*—3	53500	222000	70490	35245

表5 1*和2*样品晶界区域I、II、III的电容量的比较

Table 5. Capacitance of region I, II, III of a grain boundary of 1* and 2* samples

Samples	C_0 (pF)	C_{II} (pF)	C_I (pF) ($C_I = C_{III}$)	$\frac{C_I C_{III}}{C_I + C_{III}}$ (pF)
1*—1	9430	18600	19130	9565
2*—1	134000	1000000	309460	154734

四、讨 论

在表3~5的参数中,有两个参数最有价值,其一是A参数,包涵有势垒高度 ϕ ,其二是 C_{II} 参数,为中间夹层的电容量值。利用这二个参数对晶界层电容器电性能受势垒高度和宽度的影响作如下讨论:

1. 势垒高度的影响

在公式(1)推导过程中可知,A参数可写成^[5]:

$$A = K\phi \quad (2)$$

在表3中看到,空气中烧成的1*样品和 N_2/H_2 还原气氛中烧成的2*样品在同一条件下扩散,即1*—1和2*—1样品比较,前者A参数值远大于后者,说明1*—1样品的晶界势垒高度大于2*—1样品的晶界势垒高度。另外,2*样品随着扩散温度的增加,A参数

值在增大,表明晶界势垒高度 ϕ 也在增大。

1*样品在空气中烧成后急冷形成半导化瓷片,对样品的单个晶界和晶粒的电阻测试结果为:单晶界电阻为 $10^6\Omega$,而单晶粒电阻为 $10^4\Omega$ 。说明发生氧挥发半导化时^[6],晶界总是还富集着较多的氧,在受主杂质扩散之前已经存在一定量的深能级受主态,致使样品电阻还较大,受主杂质扩散进入晶界后使得晶界中存在浓度较大的受主杂质。还原气氛中烧成的2*样品其电阻为 0.1Ω ,包括晶界也还是半导体,涂复扩散后晶界中才有受主态的存在,显然1*样品晶界中的受主态要比2*样品的多,则前者比后者存在较大的势垒高度 ϕ 。

势垒高度 ϕ 大,必然使得样品的耐击穿电压、工作电压高,这是空气中烧成的晶界层电容器工作电压比还原气氛中烧成的样品高的原因之一。

2. 势垒宽度的影响

C_{II} 值是中间夹层存在数量上的表现,其值大小直接反映了中间夹层的厚和薄。表5表明,2*-1样品的 C_{II} 值远大于1*-1的 C_{II} 值,这意味着尽管扩散条件相同,空气中烧成的样品的晶界中间夹层远比还原气氛烧成的样品厚。比较空气中烧成急冷未扩散的样品与进行扩散后的样品的介电性能,其中变化大的是绝缘电阻(从 $10^6\Omega$ 增大到 $10^{11}\Omega$),电容量变化不大。根据氧挥发半导化的讨论^[6],在晶界中可能始终有富氧层存在,即使急冷也不能排除晶界中的富氧。由此说明,扩散并未使富氧而形成的中间夹层增厚,1*-1样品的 C_{II} 值小,不能获得高 ϵ ,主要是由于富氧层较厚所致,但样品耐击穿电压被提高。



图4 多晶粒交界处显微图
Fig. 4. Multiple-grain junction

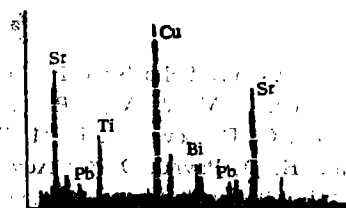


图5 多晶粒交界处的透射电镜X射线能量损失谱
Fig. 5. STEM X-ray energy dispersive spectrum in multiple-grain junction

中间夹层的厚与薄与扩散过程很有关系,表4表明,扩散温度越高, C_{II} 值越小,则中间夹层越厚。在2*样品的多角晶界处(如图4),发现富集有大量的扩散物Cu、Pb、Bi等,如图5。经分析认为,扩散物首先易富集于多角晶界中,扩散温度升高,富集于多角晶界中的扩散物再继续沿晶界扩散,使得中间夹层变厚。

3. 耗尽层的影响

表4和表5中, C_I 和 C_{III} 是耗尽层的电容量,耗尽层越厚, C_I 和 C_{III} 值将越小。耗尽层的厚度主要与两个因素有关:晶界中的受主态密度和晶粒中的导电载流子浓度 n 。这在式(3)中^[5,7]可以表现出来:

$$x_d = \sqrt{2\epsilon\phi/qN_D} \quad (3)$$

式中, x_d 为耗尽层的宽度, N_D 为有效的施主掺杂浓度, 实际上等于载流子浓度 n , ϕ 是势垒高度。

上面已经讨论过, 晶界中较多的受主态存在使晶界势垒增高, ϕ 值增大。如果晶粒中载流子浓度低, 晶界中受主态多, 由(3)式可知, 耗尽层则宽。表4中2*样品, 随着扩散温度的增加, 晶界势垒高度 ϕ 变大, 则耗尽层在变厚, C_I 和 C_{III} 值在不断变小。表5中, 1*样品的 C_I 和 C_{III} 值要远小于2*样品, 造成该结果的因素之一是1*样品的 ϕ 值大于2*样品的 ϕ 值, 另一因素是它们晶粒中载流子浓度 n 的较大差别。1*样品在高温烧结时氧挥发不如还原气氛中烧结的2*样品强烈。所以后者有较多的载流子。因此, 1*样品中的耗尽层要大大厚于2*样品中的耗尽层。

耗尽层厚, C_I 和 C_{III} 值小, 这是空气中烧成晶界层电容器容量小, ϵ 低的又一主要原因。

五、结 论

高的晶界势垒, 厚的中间夹层提高了晶界层的耐击穿电压, 亦即提高了工作电压, 但却减小了晶界层电容器的 ϵ 。另外, 晶粒半导化的不充分, 载流子浓度小, 会使耗尽层的厚度变宽, 同样使得 ϵ 变小。这些结论都在空气中烧成和还原气氛中烧成制得的晶界层电容器样品的性能上得到证实。电容器的介质损耗和温度稳定性等电性能由中间夹层介质体本身的特性来决定, 与晶界势垒不存在显著直接的影响关系。

参 考 文 献

- [1] Heywang, W., Solid State Electr., 3(1) 1961:51
- [2] Levinson, L. M.: J. Appl. Phys., 46(3) 1975:1332
- [3] Mahan, G. D. Levinson, L. M. Philipp, H. R.: ibid, 50(4) 1979:2799
- [4] Park, H. D. Payne, D. A.: Adv. in Ceram., 1, 1981:242
- [5] 钟吉品、王 鸿、殷之文: 无机材料学报, 3(4) 1988:323
- [6] 钟吉品、赵梅瑜、王 鸿: ibid, 2(1) 1987:22
- [7] 刘恩科、宋秉升编: 《半导体物理学》, 上海科学技术出版社, 1984

Fig. 5. STEM X-ray energy dispersive spectrum in multiple-grain junction

Fig. 1. Multiple-grain junction

中间层的厚度, 晶界势垒高度, 晶界层电容器的容量, 晶界层电容器的损耗, 晶界层电容器的温度稳定性等电性能由中间夹层介质体本身的特性来决定, 与晶界势垒不存在显著直接的影响关系。

3. 结 论

高的晶界势垒, 厚的中间夹层提高了晶界层的耐击穿电压, 亦即提高了工作电压, 但却减小了晶界层电容器的 ϵ 。另外, 晶粒半导化的不充分, 载流子浓度小, 会使耗尽层的厚度变宽, 同样使得 ϵ 变小。这些结论都在空气中烧成和还原气氛中烧成制得的晶界层电容器样品的性能上得到证实。电容器的介质损耗和温度稳定性等电性能由中间夹层介质体本身的特性来决定, 与晶界势垒不存在显著直接的影响关系。

Influence of Grain Boundary Barrier on the Electrical Properties of Grain Boundary Layer Capacitor

Zhong Jipin Wang Hong Yin Zhiwen

(Shanghai Institute of Ceramics, Chinese Academy of Sciences)

钟吉品

王洪

(中国科学院上海硅酸盐研究所)

Abstract

In this paper, the influence of grain boundary Schottky barrier with a sandwiched layer on the electrical properties of grain boundary layer capacitor such as dielectric constant, breakdown voltage and so on was investigated. Some explanations were given to the differences of the electrical properties between the air-fired and the reducing atmosphere-fired SrTiO_3 grain boundary layer capacitors.

Keywords: Grain boundary barrier; Grain boundary layer capacitor; Ceramics capacitor; Semiconductor ceramics.

关键词: $\text{O}_2\text{Y-O}_2\text{Al-Ni}$; 晶界势垒; 晶界层电容器; 陶瓷电容器; 半导体陶瓷。

前言

晶界层电容器是一种重要的电子元件,广泛应用于各种电子设备中。其电性能的好坏直接影响到整个电路的正常工作。目前,晶界层电容器的研究主要集中在如何提高其介电常数和击穿电压等方面。本文主要研究了晶界势垒对晶界层电容器电性能的影响,并探讨了在不同气氛下烧结的 SrTiO_3 晶界层电容器的电性能差异。

晶界层电容器的电性能主要取决于其介电常数和击穿电压。介电常数是衡量电容器存储电荷能力的重要参数,而击穿电压则是衡量电容器耐压能力的关键指标。在晶界层电容器中,晶界势垒的存在对电性能有着显著的影响。势垒的高低直接影响到载流子的输运,进而影响电容器的电性能。

本文通过实验研究了在不同气氛下烧结的 SrTiO_3 晶界层电容器的电性能。结果表明,在还原气氛下烧结的样品具有较高的介电常数和击穿电压,而在空气气氛下烧结的样品则表现出较低的电性能。这主要是由于在还原气氛下,晶界处的氧空位浓度较高,形成了较高的势垒,从而抑制了载流子的输运,提高了电容器的电性能。

本文的研究结果对于优化晶界层电容器的电性能具有重要的参考价值。通过控制烧结气氛,可以有效地调节晶界势垒的高度,从而提高电容器的电性能。这对于开发高性能的晶界层电容器具有重要的意义。