

SrTiO₃陶瓷晶界层电容器材料的晶界研究

II. 晶界模型与材料电性能

徐保民 宋祥云 王 鸿* 殷之文 温树林

(中国科学院上海硅酸盐研究所)

· (上海科学技术大学材料科学系)

摘 要 根据低温一次烧结 SrTiO₃陶瓷晶界层电容器两晶粒间晶界相结构的复杂性和不同晶界的势垒特性,建立了具有复合晶界特征的晶界等效电路模型,据此解释了材料的 $I-V$ 非线性特性和介电-电压特性。认为低施主掺杂的材料,击穿区的 $I-V$ 非线性特性主要是由通过“洁净”晶界和窄晶界的隧道电流引起的,从而与温度无关;而高施主掺杂的材料,击穿区的 $I-V$ 非线性特性既包括通过“洁净”晶界和窄晶界的隧道电流,亦包括通过宽晶界的雪崩击穿电流,从而与温度有关。在低的直流偏压下,材料的电容随偏压变化很小,但由通过“洁净”晶界和部分窄晶界而贯穿样品的热激发漏电流的存在,使材料的介电损耗明显增加。

关键词 钛酸锶陶瓷, 晶界层电容器, 晶界模型, 电流-电压非线性特性, 介电-电压特性

1 引 言

晶界效应与半导体陶瓷的应用密切相关,利用晶界的各种 Schottky 势垒模型已解释了许多与半导体陶瓷有关的实验现象,如 BaTiO₃陶瓷的 PTC 效应^[1,2]、ZnO 陶瓷的压敏电阻效应^[3,4]以及 SrTiO₃陶瓷的晶界层电容效应等^[5,6],这些模型都是基于材料只具有单一结构类型的晶界。对低温一次烧结 SrTiO₃陶瓷晶界层电容器晶界结构的研究发现^[7],其具有各种类型的复杂的晶界结构,因此有必要将已有模型加以扩展,才能解释低温一次烧结 SrTiO₃陶瓷晶界层电容器材料一些新的实验现象,并探索结构与性能的关系。

2 晶界的等效电路模型

由文献[7]可知,低温一次烧结 SrTiO₃陶瓷晶界层电容器材料存在着4种典型的晶界,而且这4种晶界都有相当的数量。实际样品中由于存在着数量巨大的晶界,因此任一类型的晶界都可能为电流通过提供连续的通道。实测样品的电阻率在 $10^9\Omega\cdot\text{cm}$ 量级,可见即使对于“洁净”晶界和窄晶界,在两晶粒间也形成了阻碍电流通过的高阻层。可以认为这是在两晶粒或晶

1992年7月9日收到。

通讯联系人: 徐保民, 中国科学院上海硅酸盐研究所, 上海 200050。

粒与晶界交接处存在着近似为二维的受主能级，接受电子后在晶粒间界面形成了向晶粒内部延伸的高阻层——耗尽层。

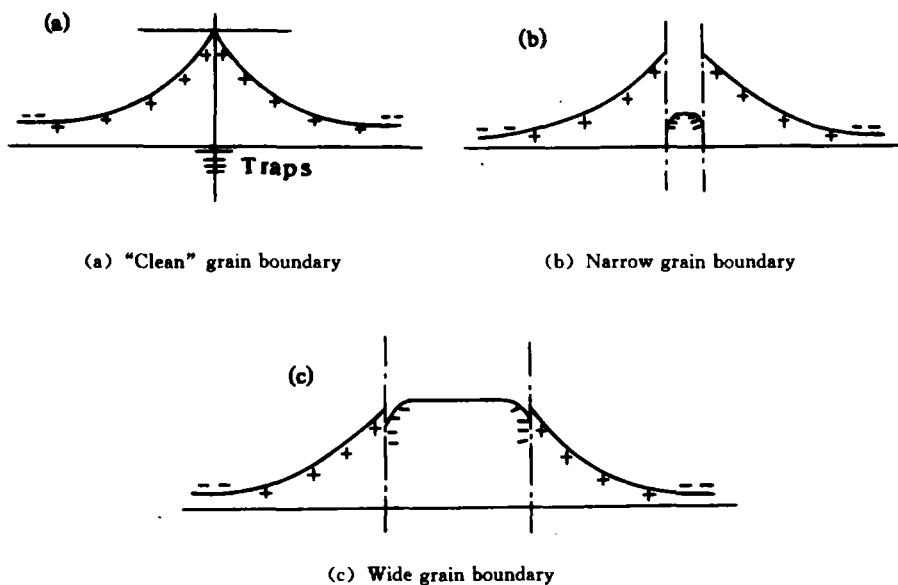


图1 不同晶界的势垒特性

Fig. 1 Barrier characteristics of various grain boundaries (sketch map)

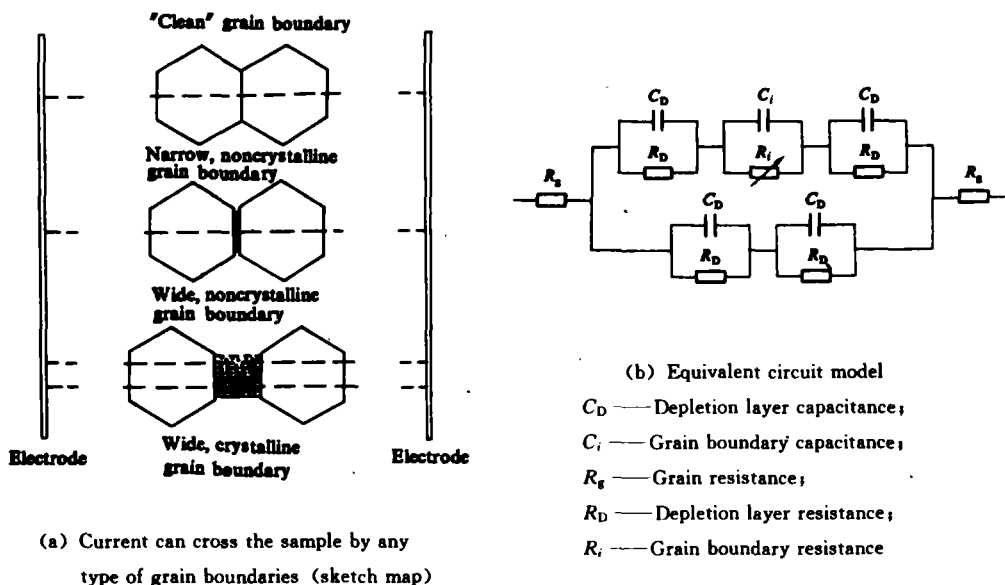


图2 晶界的等效电路模型

Fig. 2 Equivalent circuit model of grain boundary

由于电子在晶粒间界处的陷入，使得窄晶界区中间晶界相层的导电性上升，其电阻可能比耗尽层的电阻低，而只有一定宽度的晶界才能有大的中间晶界相层电阻，即不同结构的晶

界具有不同的势垒特性,但耗尽层始终是高阻层,如图1所示。实际样品的晶界是由这些不同势垒特性的晶界通过复杂的串、并联而成,考虑到任一类型的晶界都能为电流传输提供连续的通道,在定性解释电性能时可以认为是由这些不同类型的晶界并联而成,这就是低温一次烧结 SrTiO₃陶瓷晶界层电容器材料的晶界等效电路模型,如图2所示。图中变化的晶界电阻 R_j 表示不同结构的晶界其电阻有很大的差异,这种差异不仅是由晶界的几何尺寸不同引起的,更主要的是由不同结构晶界受电子向晶界注入的影响不同引起的。

3 实验和讨论

采用与文献 [7] 相同的工艺过程,制备了掺杂0.1% (摩尔含量,下同) Nb₂O₅ (称为低 Nb₂O₅ 或低施主含量) 和0.5% Nb₂O₅ (称为高 Nb₂O₅ 或高施主含量) 两种不同施主掺杂的样品。

3.1 材料的电流-电压特性与非线性

图3为 HX2732B 型压敏电阻参数测定仪测量的样品 $I-V$ 特性,表中为样品的压敏特性参数。可见低温一次烧结 SrTiO₃陶瓷晶界层电容器材料还具有相当的非线性特性,非线性系数 α 可达10。

在一定的直流偏压作用下发生击穿时,样品首先从无晶界的“洁净”晶界以及窄晶界击穿。与 ZnO 压敏电阻类似^[4],反偏 Schottky 势垒对非欧姆性起着决定性作用。由于样品在击穿以前具有很高的电阻率,可以简单地认为顺电相的 SrTiO₃陶瓷与 BaTiO₃半导体陶瓷一样,在高于 Curie 点时界面态能级位于 Fermi 能级处^[1],则“洁净”晶界和窄晶界的 Schottky 势垒特性可以用图4所示。且零偏压下的势垒高度为:

$$\Phi_0 = e^2 N_s^2 / (8\epsilon_0 \epsilon_r n_D) \quad (1)$$

零偏压下的势垒宽度为:

$$X_{d0} = N_s / (2n_D) \quad (2)$$

晶粒间界处的面电荷密度为:

$$n_s = N_s / 2 \quad (3)$$

上述各式中 N_s 为表面态电荷密度; n_D 为有效施主浓度; e 为电子电荷; ϵ_0 为真空中介电常数; ϵ_r 为 SrTiO₃ 的相对介电常数^[8]。

零偏压下,电子从界面能级进入导带需跨越的势垒高度为^[9]:

$$E_g = \Phi_0 + E_c - E_F = \Phi_0 + kT \ln(N_c / n_D) \quad (4)$$

其中 N_c 为导带的有效状态密度:

$$N_c = (2\pi m_n^* kT / h^3)^{3/2} \quad (5)$$

E_c 为导带底能级; E_F 为 Fermi 能级; m_n^* 为电子有效质量; N_c 为有效状态密度; h 为 Planck 常数; k 为 Boltzmann 常数。事实上,对于良好半导化的 SrTiO₃晶粒,其施主浓度 n_D 已接近于有

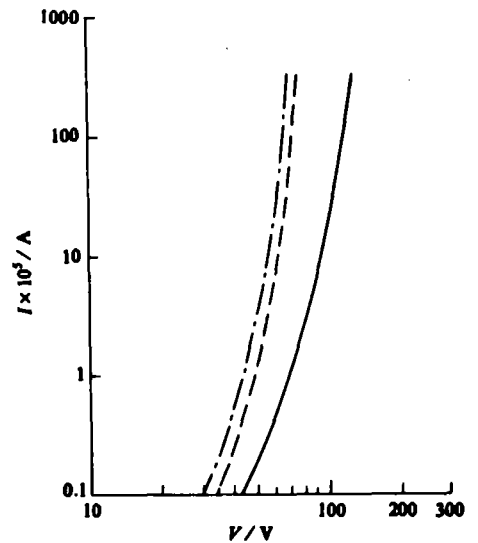


图3 样品的 $I-V$ 非线性特性

Fig. 3 $I-V$ nonlinear characteristics

- Low Nb₂O₅ content, 15°C and 85°C (overlapping);
- - High Nb₂O₅ content, 15°C;
- · - High Nb₂O₅ content, 85°C

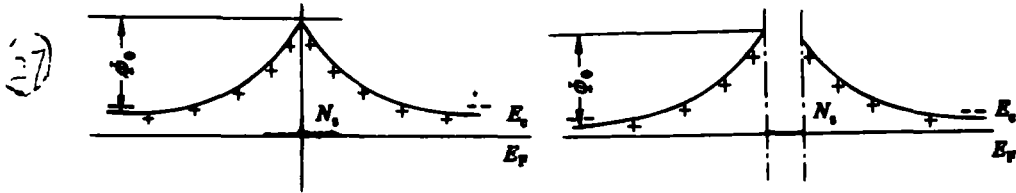
效状态密度 $N_c^{[10]}$, 即材料已接近于简并状态。从而有:

$$\Phi_0 \gg E_c - E_F = kT \ln(N_c/n_D) \quad (6)$$

样品的非线性特性参数

Parameters of $I-V$ nonlinear characteristics

Sample character	Measuring temperature $T / ^\circ\text{C}$	$V_{(0.1\text{mA})} / \text{V}$	$V_{(1\text{mA})} / \text{V}$	α
Low Nb_2O_5 content	15	85.2	106.1	10.5
Low Nb_2O_5 content	85	85.7	107.6	10.1
High Nb_2O_5 content	15	59.4	73.6	10.7
High Nb_2O_5 content	85	53.0	66.5	10.1



(a) "Clean" grain boundary (b) Narrow grain boundary

图4 晶界的 Schottky 势垒

Fig. 4 Schottky barrier of grain boundaries

Φ_0 — Interface barrier height; N_s — Interface states;

E_c — Bottom energy level of conduction band; E_F — Fermi energy level

电子从界面能级进入导带能级需跨越的势垒高度 E_s 近似等于界面势垒高度 Φ_0 。

在偏压作用下, 在击穿区, 以穿过反偏 Schottky 势垒的隧道电流 I_t 为主, 击穿电流为:

$$I_b = I_t = en_s p(V) = eN_s p(V)/2 \quad (7)$$

$p(V)$ 为隧穿几率, 考虑三角形势垒, $p(V)$ 可写成^[9]:

$$p(V) = \exp\left[-\frac{8\pi}{3}\left(\frac{2m_n^*}{h^2}\right)^{1/2} \Phi_0^{1/2} \Delta x(V)\right] \quad (8)$$

$\Delta x(V)$ 为隧道宽度, 在偏压 V 作用下其值为^[10]:

$$\Delta x(V) = \frac{\Phi_0}{\Phi_0 + eV} \left[\frac{N_s^2}{4n_D^2} + \frac{2\epsilon_0\epsilon_r V}{en_D} \right]^{1/2} \quad (9)$$

从而隧道击穿电流为:

$$I_t = \frac{eN_s}{2} \exp\left[-\frac{8\pi}{3}\left(\frac{2m_n^*}{h^2}\right)^{1/2} \frac{\Phi_0^{3/2}}{\Phi_0 + eV} \left(\frac{N_s^2}{4n_D^2} + \frac{2\epsilon_0\epsilon_r V}{en_D} \right)^{1/2}\right] \quad (10)$$

将 $\Phi_0 = \frac{e^2 N_s^2}{8\epsilon_0\epsilon_r n_D}$ 代入上式, 并将其中和 n_D, V 有关的项记为 $f(n_D, V)$, 则得:

$$I_t = \frac{eN_s}{2} \exp\left[-\frac{8\pi}{3}\left(\frac{2m_n^*}{h^2}\right)^{1/2} f(n_D, V)\right] \quad (11)$$

其中:

$$f(n_D, V) = \frac{e^3 N_s^3}{8e^2 N_s^2 \epsilon_0 \epsilon_r n_D + eV (8\epsilon_0 \epsilon_r n_D)^{3/2}} \left(\frac{N_s^2}{4n_D^2} + \frac{2\epsilon_0 \epsilon_r V}{en_D} \right)^{1/2} \quad (12)$$

由此可知, 随着施主掺杂浓度的增加, $f(n_D, V)$ 值下降, 在相同的外加偏压 V 作用下

I_t 值上升; 或达到相同的击穿电流值所需的外加偏压降低, 即样品的击穿电压降低, 而且击穿区的 $I-V$ 特性与温度无关。但由图3和表可知, 虽然当 Nb_2O_5 含量由低到高时, 样品的击穿电压明显降低, 但只有低 Nb_2O_5 含量的样品其 $I-V$ 特性与温度无关; 高 Nb_2O_5 含量的样品其 $I-V$ 与温度有关。说明对于高 Nb_2O_5 含量的样品, 除了通过“洁净”晶界和窄晶界反偏 Schottky 势垒的隧道击穿电流外, 还存在其他击穿机制。

对两次烧结的 $SrTiO_3$ 陶瓷晶界层电容器的研究表明: 其击穿电流是以雪崩击穿的形式穿过具有中间夹层的晶界 (与此处的宽晶界相当) 而表现出与温度有关的非线性特性的^[6]。因此对于高 Nb_2O_5 含量的样品, 在击穿区不仅有穿过“洁净”晶界和窄晶界的隧道电流 I_t , 亦有穿过宽晶界的雪崩电流 I_s 。从而总击穿电流 I_b 为:

$$I_b = I_t + I_s \quad (13)$$

雪崩击穿电流 I_s 为^[6]:

$$I_s = K \frac{e^2 V^2}{h} \exp \left[- \frac{4E_i}{2\pi} \frac{\hbar \omega_{op} d^2}{e^2 V^2 l^2} \right] \quad (14)$$

式中 V 为加在宽晶界上的电场电压; d 为晶界宽度; E_i 为碰撞电离能量阈值; $\frac{\hbar}{2\pi} \omega_{op}$ 为光学波声子能量; l 为电子平均自由程; K 为比例系数。因为 E_i 随温度升高减小, I_s 即与温度有关, I_b 亦与温度有关, 于是总电流电压关系 I_b-V 就随温度升高移向低压方向, 这与高 Nb_2O_5 含量的样品的实验结果相符合。只有高施主掺杂含量的样品中才能发生明显的雪崩击穿, 可能是因为当施主含量高时, 偏析在晶界上的施主杂质较多, 与施主杂质进入晶格会破坏晶格键而有利于晶粒的半导化相类似, 施主杂质在晶界上也可能会破坏晶界物质的结合键, 使碰撞电离阈值能量 E_i 降低, 雪崩电流变得显著起来。

3.2 低压下的介电-电压特性

用图5所示线路测量了样品的 $C-V$ 特性 (测试频率为 1kHz)^[11], 为保证导纳电桥的平衡, 要求被测试样的直流电阻大于兆欧姆量级, 所加偏压值只能是处于低压区 (一般将 $I-V$ 曲线中具有明显非线性阶段的电压区称为中压区^[4])。

图6为样品的 $C-V$ 和 $\text{tg}\delta-V$ 曲线。可知在低偏压作用下, 两种含量施主掺杂样品的电容量都是随偏压增加而减少, 但总的相对变化率 $|\Delta C / C_0|$ 小于 5.0% , 而经过一定偏压后, 损耗随偏压增加明显上升。

在偏压作用下, 界面 Schottky 势垒的宽度为^[9]:

$$X_d = \sqrt{\frac{2\epsilon_0 \epsilon_t}{en_D}} (\phi_0 \pm V) \quad (15)$$

ϕ_0 为零偏压下的界面势 (零偏压下的界面势垒高度 $\Phi_0 = e\phi_0$), 式 (15) 中正负号分别对应于反向偏压和正向偏压。在低偏压作用下, 宽晶界和窄晶界的势垒变化可以用图7表示; “洁净”晶界的势垒变化可用图8表示。考虑单位面积的电容, 则对于宽晶界和窄晶界, 总电容为:

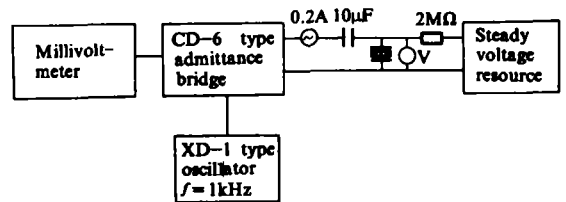


图5 介电-电压特性测试线路

Fig. 5 Circuit measuring dielectric property - voltage relations

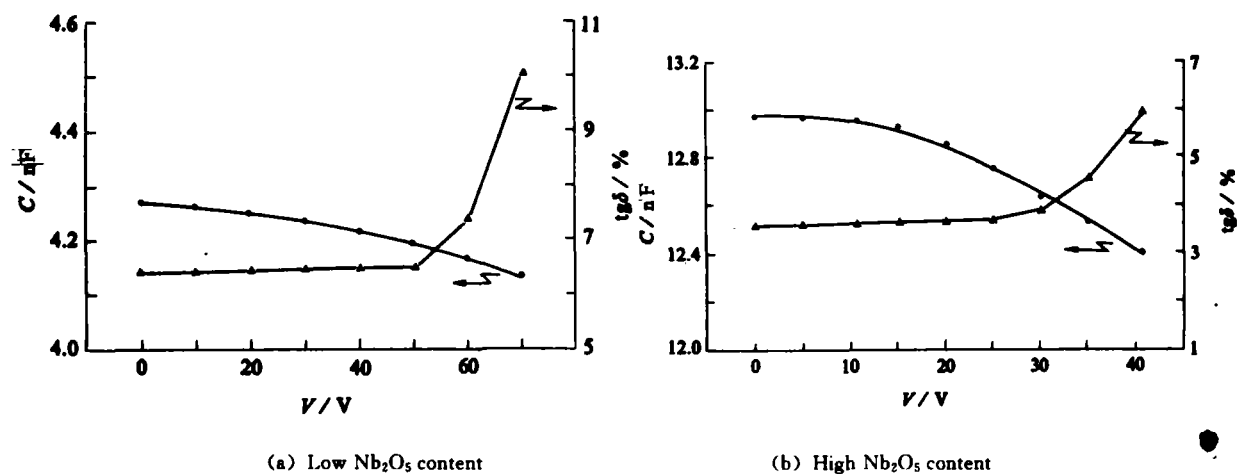


图6 样品的介电-电压特性
 Fig. 6 Dielectric property - voltage characteristics

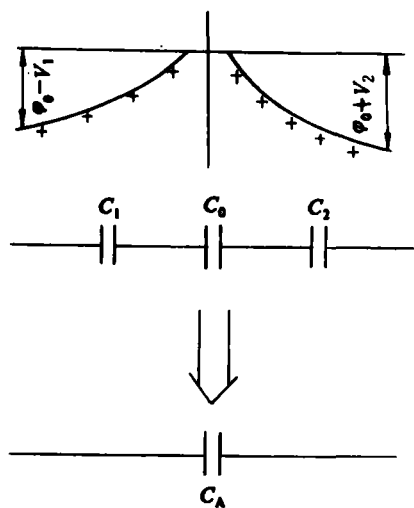


图7 低偏压作用下宽晶界和窄晶界的势垒变化与晶界电容

Fig. 7 Barrier change and grain boundary capacitance of wide and narrow grain boundaries under low DC bias

- C_A — Equivalent capacitance;
- C_0 — Intergranular phase capacitance;
- C_1 — Forward - bias barrier capacitance;
- C_2 — Reverse - bias barrier capacitance;
- V_1 — Forward - bias voltage;
- V_2 — Reverse - bias voltage;
- ϕ — Interface potential without DC bias

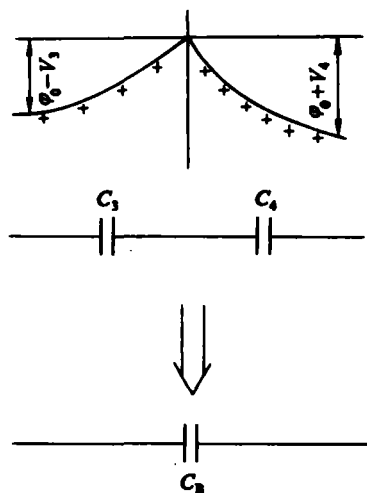


图8 低偏压下“洁净”晶界的势垒变化与晶界电容

Fig. 8 Barrier change and grain boundary capacitance of "clean" grain boundary under low DC bias

- C_B — Equivalent capacitance;
- C_3 — Forward - bias barrier capacitance;
- C_4 — Reverse - bias barrier capacitance;
- V_3 — Forward - bias voltage;
- V_4 — Reverse - bias voltage

$$\begin{aligned}\frac{1}{C_A} &= \frac{1}{C_0} + \frac{1}{C_1} + \frac{1}{C_2} \\ &= \frac{1}{C_0} + \frac{X_{d1}}{\epsilon_0 \epsilon_r} + \frac{X_{d2}}{\epsilon_0 \epsilon_r} \\ &= \frac{1}{C_0} + \frac{1}{\epsilon_0 \epsilon_r} \sqrt{\frac{2\epsilon_0 \epsilon_r}{en_D}} [(\varphi_0 - V_1)^{1/2} + (\varphi_0 + V_2)^{1/2}]\end{aligned}\quad (16)$$

或：
$$\frac{1}{C_A} = \frac{1}{C_0} + \sqrt{\frac{2\varphi_0}{\epsilon_0 \epsilon_r en_D}} \left[\left(1 - \frac{V_1}{\varphi_0}\right)^{1/2} + \left(1 + \frac{V_2}{\varphi_0}\right)^{1/2} \right]$$

同样,对于“洁净”晶界,总电容为:

$$\frac{1}{C_B} = \sqrt{\frac{2\varphi_0}{\epsilon_0 \epsilon_r en_D}} \left[\left(1 - \frac{V_3}{\varphi_0}\right)^{1/2} + \left(1 + \frac{V_4}{\varphi_0}\right)^{1/2} \right]\quad (17)$$

C_0 为中间晶界相层上的单位面积电容; X_{d1}, X_{d2} 分别为正偏和反偏 Schottky 势垒的宽度; V_1, V_3 分别为正偏 Schottky 势垒上的偏压; V_2, V_4 分别为反偏 Schottky 势垒上的偏压,当总的偏压为 V 时,有:

$$V = V_0 + V_1 + V_2 = V_3 + V_4\quad (18)$$

V_0 为中间晶界层上的偏压。

在低偏压下, V 很小, V_i ($i=1,2,3,4$) 亦很小,可以认为 $V_i \ll \varphi_0$, 于是有:

$$\left(1 \pm \frac{V_i}{\varphi_0}\right)^{1/2} \approx 1 \pm \frac{V_i}{2\varphi_0}\quad (19)$$

且:

$$\frac{1}{C_A} \approx \frac{1}{C_0} + \sqrt{\frac{2\varphi_0}{\epsilon_0 \epsilon_r en_D}} \left(2 + \frac{V_2 - V_1}{2\varphi_0}\right)\quad (20)$$

$$\frac{1}{C_B} \approx \sqrt{\frac{2\varphi_0}{\epsilon_0 \epsilon_r en_D}} \left(2 + \frac{V_4 - V_3}{2\varphi_0}\right)\quad (21)$$

事实上,在低偏压下,正向 Schottky 势垒并未完全击穿, V_1, V_3 均不能忽略,从而有: $0 < V_2 - V_1 \ll \varphi_0$; $0 < V_4 - V_3 \ll \varphi_0$, 说明在低偏压下,无论是“洁净”晶界、窄晶界和宽晶界,其电容随外加偏压的变化都很小,于是样品的总电容随外加偏压的变化也是很小的。

但是介电损耗的变化却不同。在很小的偏压作用下,始终存在着由“洁净”晶界(包括部分窄晶界)引起的能贯穿样品的热激发电流,其电流密度可表示为^[9]:

$$J = A^* T^2 \exp\left(-\frac{\Phi_0}{kT}\right) \left[\exp\left(\frac{eV_4}{kT}\right) - 1\right]\quad (22)$$

A^* 为有效 Richardson 常数。

由此知具有漏导电流性质的热激发电流是随 V_4 呈指数规律上升的,而且室温 ($T = 298\text{K}$) 时的 $kT/e = 0.026\text{V}$, 比一般界面势 (通常在 $10^{-1} \sim 10^0\text{V}$ 量级之间) 小一个数量级,即使在低偏压 ($V_4 \ll \varphi_0$) 时指数项 $\exp(eV_4/kT)$ 也有不可忽略的量,并且随 V_4 增加而显著增加,导致漏导电流增加,介电损耗明显上升。

由以上讨论可知,采用图2所示的等效电路模型,可以定性地解释低温一次烧结 SrTiO_3 陶瓷晶界层电容器材料的 $I-V$ 非线性特性和介电-电压特性。

4 结 论

(1) 根据两晶粒间晶界结构的复杂性, 初步建立了具有复合晶界特征的晶界等效电路模型, 定性解释了低温一次烧结 SrTiO₃陶瓷晶界层电容器材料的 $I-V$ 非线性特性和介电-电压特性。

(2) 低施主掺杂的材料, 击穿区的 $I-V$ 非线性特性只是由通过“洁净”晶界和窄晶界的隧道电流引起的, 从而与温度无关; 高施主掺杂的材料, 总击穿电流还包括通过宽晶界的雪崩击穿电流, 从而与温度有关。

(3) 在低的直流偏压下, 材料的电容量随偏压变化很小, 但由通过“洁净”晶界和部分窄晶界而贯穿样品的热激发漏导电流的存在使材料的介电损耗明显增加。

参 考 文 献

- 1 Heywang W. Barium titanate as a semiconductor with blocking layers. *Solid State Electr.*, 1961; 3 (1): 51
- 2 Heywang W. Resistivity anomaly in doped barium titanate. *J Am Ceram Soc.*, 1964; 47 (10): 484
- 3 Levinson I. M., Philipp H. R. The physics of metal oxide varistors. *J Appl Phys.*, 1975; 46 (3): 1332
- 4 Eda K. Conduction mechanism of non-ohmic zinc oxide ceramics. *J Appl Phys.*, 1978; 49 (6): 2964
- 5 Park H. D., Payne D. A. Characterization of internal boundary layer capacitors. In: Levinson I. M., Hill D. C., eds. *Advances in Ceramics, Vol 1, Grain Boundary Phenomena in Electronic Ceramics.* Columbus, U S A: American Ceramic Society, 1981; 242
- 6 钟吉品. 半导体陶瓷半导化及晶界层电容器晶界势垒的研究. [博士论文]. 上海: 中国科学院上海硅酸盐研究所, 1988
- 7 宋祥云, 徐保民, 温树林等. SrTiO₃陶瓷晶界层电容器的晶界研究: I. 晶界结构. *硅酸盐学报*, 1993; 21 (4): 333
- 8 莫以豪等. 半导体陶瓷及其敏感元件. 上海: 上海科学技术出版社, 1983
- 9 刘思科等. 半导体物理学. 上海: 上海科学技术出版社, 1984
- 10 徐保民. 低温烧结半导体陶瓷晶界层电容器材料的研究. [博士论文]. 上海: 中国科学院上海硅酸盐研究所, 1991
- 11 王评初等. SBN 晶体的介电系数及相变特性. *新型无机材料*, 1984; 12 (2): 1

STUDY ON GRAIN BOUNDARY OF SrTiO₃ GBBL CAPACITORS

I. GRAIN BOUNDARY MODEL AND ELECTRIC PROPERTIES

Xu Baomin Song Xiangyun Wang Hong* Yin Zhiwen Wen Shulin

(Shanghai Institute of Ceramics, Chinese Academy of Sciences)

(Department of Materials Science, Shanghai University of Science and Technology)

ABSTRACT According to the complexity of intergranular phase and the barrier characteristics of various grain boundaries, a new equivalent circuit model with composite grain boundary characteristics is proposed, showing successfully the $I-V$ nonlinear characteristics and dielectric property-voltage relation. For the low donor doping materials, the $I-V$ nonlinear characteristics in breakdown region is caused by the tunnel current through the “clean” grain boundary and the narrow grain boundary, and is independent on temperature. However, for the high donor doping materials, the $I-V$ nonlinear characteristics is caused by the avalanche current

through the wide grain boundary, and by the tunnel current through the "clean" grain boundary and the narrow grain boundary, and is dependent on temperature. The voltage dependence of capacitance is small under low DC bias, but the dielectric loss obviously increases with DC bias, which is caused by the thermally activated current crossing samples through the "clean" grain boundary and the narrow grain boundary.

KEY WORDS strontium titanate ceramics, grain boundary barrier layer capacitors, grain boundary layer model, current - voltage nonlinear characteristics, dielectric properties - voltage characteristics

Received, July 9, 1992.

Correspondent, Xu Baomin, Shanghai Institute of Ceramics, Chinese Academy of Sciences, Shanghai 200050.